

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09046240

(43)Date of publication of application: 14.02.1997

(51)Int.Cl.

H03M 13/12

(21)Application number: 07192196 (71)Applicant: MITSUBISHI ELECTRIC CORP

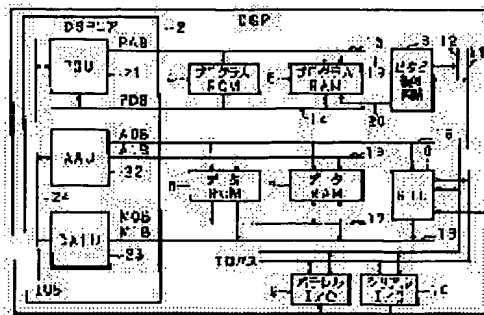
(22)Date of filing: 27.07.1995 (72)Inventor: SEGUCHI SADAHIRO

(54) DATA PROCESSOR PROVIDED WITH VITERBI DECODING FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of cycles by controlling a Viterbi decoding circuit and executing a prescribed Viterbi decoding processing when a core processor sets prescribed data in a register.

SOLUTION: In this data processor 1 itself, CPU 21 accesses to ROM4 and RAM5 through a bus 13, reads a program through a bus 14, decodes an instruction and executes the program. A DSP core 2 processes a regular arithmetic processing, and AAU 22 generates the address of data space. DALU23 executes various arithmetic logical operations. The intermediate result of the Viterbi decoding processing is held by RAM5 by accessing to RAM5 from the Viterbi decoding circuit 3 through a PRAM address bus 19 and a PRAM data bus 20. Since the circuit 3 autonomously operates hereafter until a necessary processing is terminated when CPU 21 sets a function, the core 2 executes the other the processing in accordance with the program.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU

SEARCH

INDEX

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-46240

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl.⁶

H 0 3 M 13/12

識別記号

庁内整理番号

F I

H 0 3 M 13/12

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平7-192196

(22) 出願日 平成7年(1995)7月27日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 瀬口 稔浩

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

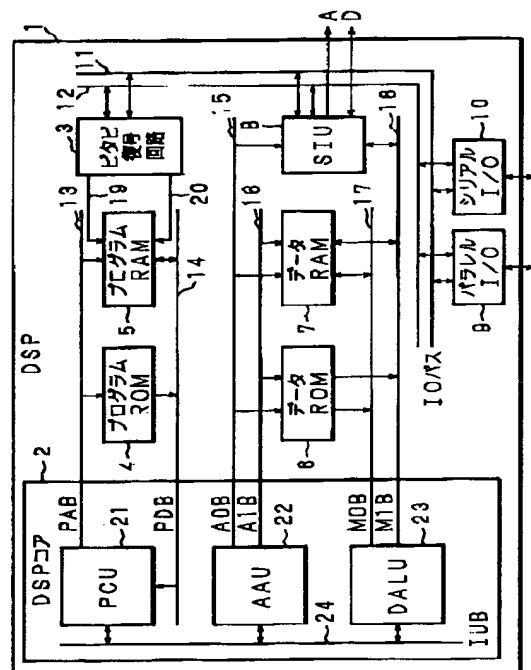
(74) 代理人 弁理士 河野 登夫

(54) 【発明の名称】 ビタビ復号機能を有するデータ処理装置

(57) 【要約】

【課題】 従来のビタビ復号機能を有するデータ処理装置では、処理を全てソフトウェアで行なうか、専用のハードウェアを内蔵してはいてもソフトウェアの負担がかなり大きい。また、ビタビ復号法というアルゴリズムが複雑で繰り返し演算が多い処理であるため、多様な命令ステップ数を必要とし、処理サイクル数が増大し、消費電力も増加し、従ってバッテリーを主電源とする携帯電話に適用する場合には大きな問題点となる。

【解決手段】 コアプロセッサ(PCU 21)と、メモリ(4~7)と、PCU 21がメモリに格納したデータを対象としてビタビ復号化処理を実行するビタビ復号回路3と、アドレス指定によりPCU 21からデータの書き込みが可能な制御レジスタ32と、PCU 21がレジスタに所定のデータを設定した場合に、ビタビ復号回路3を制御して予め規定されているビタビ復号化処理を実行させる制御回路50とを備える。



【特許請求の範囲】

【請求項1】 コアプロセッサと、メモリと、前記コアプロセッサが前記メモリに格納したデータを対象としてビット反転処理を実行するビット反転回路と、アドレス指定により前記コアプロセッサからデータの書き込みが可能なレジスタと、前記コアプロセッサが前記レジスタに所定のデータを設定した場合に、前記ビット反転回路を制御して予め規定されているビット反転処理を実行させる制御回路とを備えたことを特徴とするビット反転機能を有するデータ処理装置。

【請求項2】 コアプロセッサと、メモリと、前記コアプロセッサが前記メモリに格納したデータを対象としてランダムアクセスを計算するランダムアクセス計算回路と、ランダムアクセスを基にバス選択信号を選択するACS回路と、バス選択信号に従ってビット反転データを生成するトレースバック回路とを含むビット反転回路と、アドレス指定により前記コアプロセッサからデータの書き込みが可能なレジスタと、前記コアプロセッサが前記レジスタに第1のデータを設定した場合に前記ランダムアクセス計算回路とACS回路とを制御して予め規定されている処理を実行させ、前記コアプロセッサが前記レジスタに第2のデータを設定した場合に前記トレースバック回路を制御して予め規定されている制御を実行させる制御回路とを備えたことを特徴とするビット反転機能を有するデータ処理装置。

【請求項3】 前記ビット反転回路の動作状態を示すデータを保持すると共にアドレス指定により前記コアプロセッサからデータの読み出しが可能なレジスタを備えたことを特徴とする請求項2に記載のデータ処理装置。

【請求項4】 更に、前記ビット反転回路と前記メモリとの間のデータの送受を前記コアプロセッサの制御によらずに実行するデータ転送手段を備えたことを特徴とする請求項2に記載のビット反転機能を有するデータ処理装置。

【請求項5】 更に、前記コアプロセッサが前記レジスタに前記第1及び第2のデータとは異なるデータをそれぞれ設定した場合に前記制御回路により制御されてCRC生成処理を行なう回路及び畳み込み符号の生成処理を行なう回路を備えたことを特徴とする請求項2に記載のビット反転機能を有するデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はデータ処理装置に関し、特にビット反転(Viterbi)復号回路を周辺回路として内蔵するデータ処理装置に関する。

【0002】

【従来の技術】 デジタル通信の分野では、通信中の誤り発生を検出及びその訂正を行なうことにより通信の信頼性を向上させる必要がある。そのためには、誤り訂正符号が利用される。そのような誤り訂正符号としては、高い誤り訂正能力を有する畳み込み符号が知られている。畳み込み符号の復号のための手法はいくつか知られているが、それらの内で理論的に最も高い符号化利得を達成出来るのは最尤復号法である。そして、最尤復号法を実現するアルゴリズムの一つとしてビット反転法が知られている。

【0003】 畳み込み符号化/ビット反転法はランダム誤りに対する訂正能力が高い誤り訂正方法として、たとえば衛星通信、あるいは携帯電話等のデジタル通信分野で利用されている。

【0004】 ビット反転は、端的には、既知の複数の符号系列の内の受信符号系列に最も符号距離が近いパスを最尤パスとして選択し、その選択されたパスに対応した復号データを得る復号方法である。

【0005】 デジタル通信分野でのデータ処理においては専用のデータ処理装置であるDSP(Digital Signal Processor)によってデータの畳み込み符号化及びビット反転による畳み込み符号の復号化が処理される。このような処理を行なうDSPとしては、たとえばAT&T社のDSP1616、あるいはTI社のTMS320C540等が知られている。なお、AT&T社のDSP1616に関してはたとえばそのユーザマニュアル「DSP1616-x11 Digital Signal Processor」に、TI社のTMS320C540に関してはたとえば「日経エレクトロニクス」の1994年2月28日号にそれぞれ紹介されている。

【0006】

【発明が解決しようとする課題】 ところで、上述のDSPの一つであるAT&T社のDSP1616では、ビット反転法の処理を全てソフトウェアで行なっており、ハードウェアで高効率で行なうというような手法は採られていない。また、TI社のTMS320C540では、ビット反転法のための専用のハードウェアを内蔵しているが、ビット反転のための基本的な処理の内の一つであるCSS(Compare Select Store)ユニットのみがハードウェア化されているに過ぎない。このため、TI社のTMS320C540でビット反転を行なう場合においてもソフトウェアの負担がかなり大きいと言わざるを得ない。

【0007】 上述のような従来のDSPによりビット反転を行なう場合、ビット反転法というアルゴリズムが複雑で繰り返し演算が多い処理であるため、多大な命令ステップ数を必要とし、処理サイクル数が増大する。このことは、DSPの消費電力の増加をも招来する。従って、バッテリーを主電源とする携帯電話に適用する場合には大きな問題点となる。

【0008】 更に、ビット反転を行なうためのソフトウ

ウェアを格納するメモリ領域も多大になると共に、ソフトウェア開発にも時間を要する。また、ビタビ復号をソフトウェアで処理するため、ビタビ復号の処理中には当然のことではあるが、DSP は他の処理を実行することは出来ない。

【0009】本発明は以上のような事情に鑑みてなされたものであり、今後の急激な発展が有望な携帯電話の音声信号処理に多く利用されるDSP によるビタビ復号処理の命令ステップ数及び処理サイクル数を削減し、消費電力を低減し、更にソフトウェアを格納するためのメモリ領域を削減すると共に、ソフトウェア開発に要する時間を短縮し、またビタビ復号の処理中に DSP コアが他の処理を実行することをも可能としたビタビ復号機能を有するデータ処理装置の提供を目的とする。

【0010】

【課題を解決するための手段】本発明のビタビ復号機能を有するデータ処理装置は基本的には、コアプロセッサと、メモリと、コアプロセッサがメモリに格納したデータを対象としてビタビ復号化処理を実行するビタビ復号回路と、アドレス指定によりコアプロセッサからデータの書き込みが可能なレジスタと、コアプロセッサがレジスタに所定のデータを設定した場合に、ビタビ復号回路を制御して予め規定されているビタビ復号化処理を実行させる制御回路とを備える。

【0011】より具体的には、本発明のビタビ復号機能を有するデータ処理装置は、メモリと、コアプロセッサがメモリに格納したデータを対象としてブランチメトリックを計算するブランチメトリック計算回路と、ブランチメトリックを基にバス選択信号を選択するACS回路と、バス選択信号に従ってビタビ復号データを生成するトレースバック回路とを含むビタビ復号回路と、アドレス指定によりコアプロセッサからデータの書き込みが可能なレジスタと、コアプロセッサがレジスタに第1のデータを設定した場合にブランチメトリック計算回路とACS回路とを制御して予め規定されている処理を実行させ、コアプロセッサがレジスタに第2のデータを設定した場合にトレースバック回路を制御して予め規定されている制御を実行させる制御回路とを備える。

【0012】更に本発明のビタビ復号機能を有するデータ処理装置は、ビタビ復号回路の動作状態を示すデータを保持すると共にアドレス指定によりコアプロセッサからデータの読み出しが可能なレジスタを備える。

【0013】また本発明のビタビ復号機能を有するデータ処理装置は、ビタビ復号回路とメモリとの間のデータの送受をコアプロセッサの制御によらずに実行するデータ転送手段を備える。

【0014】また更に本発明のビタビ復号機能を有するデータ処理装置は、コアプロセッサがレジスタに第1及び第2のデータとは異なるデータをそれぞれ設定した場合に制御回路により制御されてCRC生成処理を行なう

回路及び誤み込み符号の生成処理を行なう回路を備える。

【0015】

【発明の実施の形態】以下、本発明をその実施の形態を示す図面に基づいて詳述する。

【実施の形態1】

【0016】図1は本発明に係るビタビ復号機能を有するデータ処理装置の全体の構成例を示すブロック図である。図1において、参照符号1は本発明のデータ処理装置の全体を示している。

【0017】本発明のデータ処理装置1は主として、DSP コア2と、ビタビ復号回路3と、外部との間でデータの送受を行なうためのシステムインタフェースユニット(以下、SIU と言う)8及びパラレルI/O 9、シリアルI/O 10と、プログラムROM 4、プログラムRAM 5、データROM 6、データRAM 7等のメモリとで構成されている。

【0018】DSP コア2は主として、プログラムアドレスの生成、命令デコード、割り込み制御、DMA制御等を行なう制御中枢としてのPCU(Program Control Unit)21、データ空間のアドレスを生成するAAU(Address Arithmetic Unit)22、各種の算術/論理演算を行なうDALU(Data Arithmetic & Logic Unit)23等で構成されている。これらのPCU 21、AAU 22及びDALU23は DSP コア2内部で内部ユニットバス(IUB)により相互に接続されている。

【0019】ビタビ復号回路3は、10バス11及び制御信号線12によりSIU 8及びパラレルI/O 9、シリアルI/O 10に接続されると共に、PRAMアドレスバス19及びPRAMデータバス20を介してプログラムRAM 5に接続されている。

【0020】プログラムRAM 5はプログラムROM 4と共に、プログラムアドレスバス(PAB)13及びプログラムデータバス(PDB)14により DSP コア2内のPCU 21に接続されている。データRAM 7及びデータROM 6は、アドレスバス(AOB)15によりSIU 8及びAAU 22と、アドレスバス(AIB)16によりAAU 22と、メモリバス(MIB)18によりSIU 8及びDALU23と、メモリバス(MOB)17によりDALU23とそれぞれ接続されている。

【0021】図2はビタビ復号回路3の内部構成を示すブロック図である。このビタビ復号回路3は主として、バスI/F 31、レジスタ32乃至36を含むレジスタファイル30と、制御回路50と、ブランチメトリック計算回路41、ACS(Add Compare Select)回路42及びトレースバック回路43を含む演算器40とで構成されている。

【0022】レジスタ(VTBCR:Viterbi Control)32は制御レジスタであり、レジスタ33乃至36はデータ入出力用のレジスタである。なお、参照符号33、34で示されているレジスタ(VTBINO, VTBIN1)は入力データ用であり、参照符号35、36で示されているレジスタ(VTBOUT0, VTOUT1)は出力データ用である。これらのレジスタ32乃至36は

メモリマップドされており、プログラム上でアドレスを指定することによってPCU 21からアクセス可能であり、データをリード・ライトすることが出来る。

【0023】図3は演算器40内に備えられている ACS回路12の構成例とその周辺の構成要素との接続状態を示すブロック図である。

【0024】ACS回路12はその名の通り、加算器(A)と比較回路(C)とセレクト(S)とで構成されている。具体的には、ACS回路12は2入力の加算器 421、2入力の比較回路 422及び2入力のセレクト 423で構成されている。

【0025】加算器 421の両入力にはブランチメトリック計算回路41の出力とバス1/D 31の出力とがそれぞれ接続されており、ブランチメトリック計算回路41の入力は入力データ用のレジスタ(VTBINO)33の出力と接続されている。加算器 421の出力は比較回路 422の一方の入力及びセレクト 423の一方の入力に接続されている。比較回路 422及びセレクト 423の他方の入力にはデータ入力用のレジスタ(VTBINI)34の出力が接続されている。比較回路 422による比較結果を示す信号(パスセレクト信号)PSは出力用のレジスタ(VTBOUT0)35及びレジスタ(VTBOUT1)36に与えられると共に、セレクト 423に選択制御のための制御信号として与えられている。

【0026】図4は演算器40内に備えられているトレースバック回路43の構成例とその周辺の構成要素との接続状態を示すブロック図である。

【0027】トレースバック回路43は2入力のセレクト 431、同じく2入力のセレクト 432及びシフトレジスタ 433で構成されている。

【0028】セレクト 431の一方の入力にはレジスタ(VTBINO)33の16ビット出力が、他方の入力にはレジスタ(VTBINI)34の16ビット出力がそれぞれ与えられている。セレクト 431の16ビット出力はセレクト 432の一方の入力に与えられており、セレクト 432の1ビット出力はシフトレジスタ 433に与えられている。シフトレジスタ 433に保持されている4ビットはセレクト 432の他方の入力に与えられている。更に、シフトレジスタ 433の1ビット出力はセレクト 431に選択制御のための制御信号として与えられると共に、復号結果としてレジスタ(VTBOUT0)35にシフト入力される。

【0029】図5はビタビ復号回路3内の制御回路50の構成例を示すブロック図である。この制御回路50内には、ラッチ501、503、504、組み合わせ論理回路502等が備えられている。

【0030】制御回路50は、制御レジスタ(VTBCR)32の出力を組み合わせ論理回路502、ラッチ503経由でラッチ501に受入れ、組み合わせ論理回路502、ラッチ503経由でラッチ504から制御信号を出力する。なお、図5において参照符号TA、TBは2相クロックの各相がそれぞれのラッチ501、503、504に与えられていることを示してい

る。換言すれば、制御回路50は2相クロックTA、TBで制御される順序回路を構成している。

【0031】次に、上述のような構成の本発明のビタビ復号機能を有するデータ処理装置の動作について説明する。データ処理装置1自体はプログラムROM 4またはプログラムRAM 5に格納されているプログラムに従って処理を実行する。PCU 21がプログラムアドレスバス13を通じてプログラムROM 4またはプログラムRAM 5をアクセスし、プログラムデータバス14を通じてプログラムを読み出し、命令をデコードしてプログラムを実行する。

【0032】通常の演算処理はDSPコア2が処理する。PCU 21がプログラムアドレスの生成、命令デコード、割り込み制御、DMA制御を行ない、AAU 22がデータ空間のアドレスを生成し、DAU23が各種の算術/論理演算を行なうことにより、更に必要に応じてSIU 8がDSPコア2と周辺I/Oとの間のインタフェース処理を司ることにより、通常の演算処理が実行される。

【0033】次に、ビタビ復号の処理方法について説明する。ビタビ復号の処理に際しては、ビタビ復号回路3のブランチメトリック計算回路41、ACS回路12及びトレースバック回路43とが使用される。処理されるべき入力データはPCU 21により予めデータRAM 7に格納される。

【0034】ところで、ビタビ復号回路3は、PCU 21がプログラムに従って制御レジスタ(VTBCR)32に書き込むデータに応じて制御される。図6の模式図に制御レジスタ(VTBCR)32の内容を示す如く、制御レジスタ(VTBCR)32にはFUNCフィールド301、MODEフィールド302及びSTATUSフィールド303が割り当てられている。

【0035】FUNCフィールド301に設定された値により演算器40内のいずれの回路を使用するかが指定され、MODEフィールド302に設定された値によりビタビ復号回路3の動作モードが指定される。なお、ビタビ復号回路3の動作モードとしては、少なくともビタビ復号回路3の初期化及び機能実行開始の2モードが必要である。なお、STATUSフィールド303に関しては後述する。

【0036】ビタビ復号を行なう場合はまず、PCU 21がプログラムに従ってFUNCフィールド301にACS(Add Compare Select)処理の設定と、MODEフィールド302に初期化の設定を行なう。これにより、ビタビ復号回路3が初期化される。MODEフィールド302に書き込まれた初期化のためのデータは制御回路50内の組み合わせ論理回路502に与えられる。制御回路50は前述の如く2相クロックTA、TBで制御される順序回路を構成している。従って、制御レジスタ(VTBCR)32から出力されて組み合わせ論理回路502に入力される信号とラッチ503の状態とに応じて、組み合わせ論理回路502が必要な制御信号を生成する。

【0037】この時点では、MODEフィールド302に書き込まれている初期化を指示するデータに従って、組み合わせ論理回路502が初期化のために必要な制御信号を生

成し、最終的にラッチ504 から初期化制御信号が出力される。これにより、ビタビ復号回路3が初期化される。初期化が完了した後は、制御レジスタ(VTBCR)32 に次の制御データが書き込まれるまでの間、制御回路50は待機状態になる。

【0038】初期化が完了すると、PCU 21は次にプログラムに従ってMODEフィールド302 に機能実行開始の設定を行なう。これ以降のビタビ復号回路3内の処理は、プログラムの介入無しに、換言すればPCU 21による制御ではなく、制御回路50により自律的に実行される。以下、図7のタイミングチャートを参照して説明する。

【0039】まず、ACS処理の対象となる入力データをレジスタファイル30に取り込むため、制御回路50がデータ入力要求信号を生成し、これがビタビ復号回路3からSIU 8へ制御信号線12を通じて送られる。ビタビ復号回路3からのデータ入力要求信号を受け取ると、SIU 8はデータRAM 7に格納されている入力データを10バス11を通じてビタビ復号回路3へDMA転送する。この入力データをレジスタ(VTBINO)33に受け取った後(DTIN)、ビタビ復号回路3は必要な処理を開始する。この場合に必要の処理は、PCU 21が予めFUNCフィールド301 に設定しておいた ACS処理であり、ビタビ復号法の基本的な処理である。

【0040】ところで、ビタビ復号処理においては、処理の中間結果を保持するための記憶領域が必要になる。この記憶領域としてはプログラムRAM 5が使用される。ビタビ復号回路3のバス1/0 31からPRAMアドレスバス19とPRAMデータバス20とを通じてプログラムRAM 5をアクセスすることにより、ビタビ復号処理の中間結果がプログラムRAM 5に保持される。なお、ビタビ復号回路3が初期化された時点では、PCU 21が先にプログラムに従ってMODEフィールド302 に初期化の設定を行なった時点で同時にプログラムRAM 5に所定の初期データを格納する。

【0041】まず、プログラムRAM 5からデータがリードされ(PR1)、加算器 421に与えられる。この間に、ブランチメトリック計算回路41はレジスタ(VTBINO)33に保持されているデータからブランチメトリックを計算し、その結果は加算器 421に与えられる。加算器 421は、“PR1”の処理でプログラムRAM 5からリードされたデータとその間にブランチメトリック計算回路41で計算されたブランチメトリックとを加算し、その結果がセレクタ 423を経由してレジスタ(VTBINI)34に格納される(ADD1)。このADD1の処理と並列して、プログラムRAM 5から次のデータがリードされる(PR2)。

【0042】“PR2”でプログラムRAM 5からリードされたデータは同時にブランチメトリック計算回路41で計算されたブランチメトリックと加算器 421で加算され、その結果と先の“ADD1”の処理でレジスタ(VTBINI)34に格納されたデータとが比較回路 422で比較される。この

比較の結果を示す信号、具体的には小さいかを示すパスセレクト信号はレジスタ(VTBOUT0)35 またはレジスタ(VTBOUT1)36 に順次格納されると共に制御信号としてセレクタ 423にも与えられる。これにより、比較回路 422は2入力の中の小さい方を選択して出力し、そのデータがレジスタ(VTBINI)34に格納される(ACSI)。この“ACSI”の処理でレジスタ(VTBINI)34に格納されたデータはプログラムRAM 5にライトされる(PW1)。

【0043】制御回路50は以上の“PR1”、“PR2”、“ADD1”、“ACSI”、“PW1”の各処理を一組として、必要な回数だけ反復させる。なおその間に、レジスタ(VTBINO)33に格納されているデータの全てが処理された場合には、“DTIN”の処理を再実行することによりデータRAM 7から必要なデータを転送してレジスタ(VTBINO)33に格納する。

【0044】必要な処理の全てが完了すると、出力すべきデータがレジスタ(VTBOUT0)35 及びレジスタ(VTBOUT1)36 に保持されているので、制御回路50はデータ出力要求信号を生成し、これがビタビ復号回路3からSIU 8へ制御信号線12を通じて出力される。この出力要求信号を受けて、SIU 8はIOバス11を通じてビタビ復号回路3のレジスタ(VTBOUT0)35 またはレジスタ(VTBOUT1)36 に格納されている出力データをデータRAM 7へDMA 転送する。

【0045】以降は同様にして、ビタビ復号回路3が入力データを必要とする場合には制御回路50がデータ入力要求信号を生成することにより、IOバス11を通じてビタビ復号回路3にデータが入力される。また、ビタビ復号回路3がデータ出力を必要とする場合には、制御回路50がデータ出力要求信号を生成することにより、IOバス11を通じてビタビ復号回路3からデータが出力されてデータRAM 7に格納される。

【0046】これらのデータの送受及びビタビ復号回路3内の演算処理は、ビタビ復号回路3に対するプログラムの介入なしに制御回路50によって自動的に実行される。このため、ビタビ復号回路3がビタビ復号処理を実行している間に同時に DSPコア2は他の処理を実行することが可能になる。PCU 21が制御レジスタ(VTBCR)32 に設定した機能のための必要な処理が完了すれば、ビタビ復号回路3は自動的にその動作を停止する。

【0047】上述のようにして ACS回路42による処理が完了すると、PCU 21は次にプログラムに従って制御レジスタ(VTBCR)32 のFUNCフィールド301 にトレースバック処理の設定を行なうと共にMODEフィールド302 に初期化の設定を行なう。これにより、前述の ACS回路42による処理の場合と同様に、ビタビ復号回路3の初期化のために必要な制御信号を制御回路50が生成するので、再度ビタビ復号回路3が初期化される。

【0048】ビタビ復号回路3の初期化が終了すると、PCU 21は次にプログラムに従ってMODEフィールド302 に

機能実行開始の設定を行なう。以降の処理は、前述の ACS回路42による処理の場合と同様に、データの入出力は勿論のこと、ビタビ復号回路3内での演算処理は全てプログラムの介入なしに制御回路50により自律的に実行される。以下、図8のタイミングチャートを参照して説明する。

【0049】先の ACS回路42により処理の結果、比較回路422による比較結果をバスセレクト信号がデータRAM7に格納されている。これらのデータがまずレジスタ(VTBIN1)34に入力され(R1)、次にレジスタ(VTBIN0)33に入力される(R0)。両データはセレクト431に入力されていずれかが選択され、選択された方のデータが更にセレクト432に入力される。セレクト432では、シフトレジスタ433に保持されている4ビットの値に応じて1ビットが選択され、それがシフトレジスタ433に入力される。この結果、シフトレジスタ433の出力側の1ビットが出力されてセレクト431に選択制御信号として与えられると共に復号結果の1ビットとしてレジスタ(VTBOUT0)35に保持される(D0)。この際、レジスタ(VTBOUT0)35はシフトレジスタとして機能する。

【0050】以上の動作がレジスタ(VTBOUT0)35に復号結果の1ビットデータが満たされるまで、即ちレジスタ(VTBOUT0)35が16ビットレジスタであれば”D0”～”D15”まで16回反復される。この場合、レジスタ(VTBOUT0)35に保持されている16ビットの復号結果のデータは一旦プログラムRAM5に転送されて格納される。そして、必要なビット数の全てが復号化されると、ビタビ復号回路3はその動作を停止し、制御レジスタ(VTBCR)32に次の機能設定が行なわれるまでは待機状態になる。

【0051】以上のような本発明のビタビ復号機能を有するデータ処理装置によれば、簡単な制御回路で制御可能な単位、即ち ACS処理、トレースバック処理に分割したことと、演算処理に必要なメモリは専用のメモリではなく DSPコア2と共用可能なメモリとしたこととにより、必要なハードウェア規模を小さくすることが可能になる。

【0052】また、ビタビ復号回路3は、PCU21が制御レジスタ(VTBCR)32に機能実行を設定すれば以降は必要な処理が終了するまでは自律的に動作するため、その間は DSPコア2はプログラムに従って他の処理を実行することが可能になる。本発明のビタビ復号機能を有するデータ処理装置では、ビタビ復号回路3がハードウェアで処理を実行するため、ビタビ復号を必要とするアプリケーションにおいては全ての処理をソフトウェアで実行する場合に比して処理サイクルが短くなる。ソフトウェア処理では実時間処理が不可能な場合にも対応可能である。また、処理サイクル数が短くなることにより、消費電力も削減される。

【0053】〔実施の形態2〕次に、本発明のビタビ復号機能を有するデータ処理装置の実施の形態2について

説明する。

【0054】この実施の形態2では、図6に示されているように、制御レジスタ(VTBCR)32にFUNCフィールド301及びVMODEフィールド302の他に参照符号303で示されているSTATUSフィールドが設けられている。このSTATUSフィールド303には、制御回路50により、現在のビタビ復号回路3が実行状態にあるか、またはデータの入出力待ち状態にあるかが書き込まれる。

【0055】なお、前述の実施の形態1においては、ビタビ復号回路3の動作モードとしては、少なくともビタビ復号回路3の初期化及び機能実行開始の2モードが必要であったが、この実施の形態2においては更に加えてビタビ復号回路3を一時停止状態にするモード(一時停止モード)が必要である。

【0056】他の構成及び基本的な動作は前述の実施の形態1の場合と同様であり、PCU21が制御レジスタ(VTBCR)32のFUNCフィールド301、MODEフィールド302に必要な設定を行なうことにより、ビタビ復号回路3は初期化されてビタビ復号に必要な処理を実行する。

【0057】このような実施の形態2では、プログラムに従ってPCU21がポーリングにより制御レジスタ(VTBCR)32のSTATUSフィールド303の内容を調べる。そして、ビタビ復号回路3がデータ入力待ち状態である場合には、PCU21はレジスタ(VTBIN0)33またはレジスタ(VTBIN1)34に入力データを書き込む処理を行なう。また、ビタビ復号回路3がデータ出力待ち状態である場合には、PCU21はレジスタ(VTBOUT0)35またはレジスタ(VTBOUT1)36から出力データを読み出す処理を行なう。更に、ビタビ復号回路3が実行状態である場合には、PCU21はビタビ復号回路3がデータの入出力待ち状態になるまで待機するか、他の処理を実行しつつ定期的に制御レジスタ(VTBCR)32のSTATUSフィールド303を調べて入出力待ち状態になるのを待つ。ビタビ復号回路3がデータの入出力待ち状態になれば、PCU21はビタビ復号回路3内の必要なレジスタに対してデータの書き込みまたは読み出しを行なう。

【0058】また、PCU21がMODEフィールド302に一時停止モードを設定した場合には、機能実行中のビタビ復号回路3は一時停止状態になる。そして、そのようなビタビ復号回路3の一時停止状態においてPCU21がレジスタファイル30の各レジスタの内容を読み出せば、ビタビ復号回路3のテストあるいはデバッグが容易に可能になる。

【0059】以上のように、本発明のビタビ復号機能を有するデータ処理装置の実施の形態2では、ビタビ復号回路3を前述の実施の形態1の場合のように完全に自動的に動作させるのではなく、逐次的に動作させることが可能になる。このため、PCU21が実行する他のプログラム処理と同期をとりつつビタビ復号回路3がビタビ復号の処理を行なうことが可能になるので、PCU21により基

本的なプログラムを処理しつつ、その基本的なプログラムに必要なビット反復処理をビット反復回路3に行なわせることが可能になる。また、一時停止モードを設定することにより、任意の時点でビット反復回路3の機能実行を停止させることが可能になるので、ビット反復回路3のテストあるいはプログラム開発時におけるデバッグが容易になる。

【0060】〔実施の形態3〕次に、本発明のビット反復機能を有するデータ処理装置の実施の形態3について説明する。

【0061】この実施の形態3では、図9に示されているように、ビット反復回路3の演算器40内に、ビット反復を行なうためのランチメトリック計算回路41、ACSI回路42及びトレースバック回路43の他に、CRC生成回路44と畳み込み符号生成回路45とを備える。

【0062】CRC生成回路44と畳み込み符号生成回路45とはビット反復処理には直接の関係はないが、CRCはデジタル通信技術においてはエラーチェックに必要不可欠であり、また畳み込み符号の生成はデータ送信に際してデータの符号化に使用される。従って、本発明のデータ処理装置を衛星通信、あるいは携帯電話等のデジタル通信分野に適用するための利便を考慮して、それらのためのハードウェアとして、CRC生成回路44及び畳み込み符号生成回路45を設けることは極めて有用なことである。

【0063】データのCRC生成を行なう場合は、実施の形態1で説明した場合と同様に、PCU 21が制御レジスタ(VTBCR)32のFUNCフィールド301にCRC生成機能の設定を行なうと共に、MODEフィールド302に初期化、機能実行の設定を続けて行なう。実施の形態1の場合と同様に、制御回路50によってビット反復回路3に入力データが取り込まれ、CRC生成回路44によってCRCが生成される。CRC生成回路44によりCRCが生成されると、制御回路50がデータ出力要求信号を生成する。これにより、CRC生成回路44により求められてたCRCの値がビット反復回路3から出力され、DSPコア2により利用可能になる。

【0064】データの畳み込み符号生成を行なう場合も同様に、PCU 21が制御レジスタ(VTBCR)32のFUNCフィールド301に畳み込み符号生成機能の設定を行なうと共に、MODEフィールド302に初期化、機能実行の設定を続けて行なう。制御回路50によってビット反復回路3に入力データが取り込まれ、畳み込み符号生成回路45によって畳み込み符号が生成される。畳み込み符号生成回路45により畳み込み符号が生成されると、制御回路50がデータ出力要求信号を生成する。これにより、畳み込み符号生成回路45により求められてた畳み込み符号の値がビット反復回路3から出力され、DSPコア2により利用可能になる。

【0065】データの転送に関しては、実施の形態1の

場合と同様に、DMA転送によることも可能であるし、実施の形態2の場合と同様に、ソフトウェア転送によることも可能である。

【0066】以上のように本発明のビット反復機能を有するデータ処理装置の実施の形態3によれば、CRC生成回路44、畳み込み符号生成回路45等のハードウェアとしてそれ程の規模を必要としない回路を追加することにより、ソフトウェアで処理する場合に比して処理サイクル数を減少させることが可能になる。このような構成を採ることは、本発明のデータ処理装置を衛星通信、あるいは携帯電話等のデジタル通信分野に適用した場合に極めて有効である。

【0067】

〔発明の効果〕以上に詳述したように本発明のビット反復機能を有するデータ処理装置によれば、ビット反復を行なうハードウェアをデータ処理装置の周辺装置の一つとして内蔵したため、ビット反復処理のためのサイクル数を減少させることが可能になり、またビット反復の処理中にDSPコアが他の処理を実行すること、即ち並列処理が実現される。

〔図面の簡単な説明〕

【図1】 本発明に係るビット反復機能を有するデータ処理装置の全体の構成例を示すブロック図である。

【図2】 本発明に係るビット反復機能を有するデータ処理装置のビット反復回路の内部構成を示すブロック図である。

【図3】 本発明に係るビット反復機能を有するデータ処理装置のビット反復回路のACSI回路の構成例とその周辺の構成要素との接続状態を示すブロック図である。

【図4】 本発明に係るビット反復機能を有するデータ処理装置のビット反復回路のトレースバック回路の構成例とその周辺の構成要素との接続状態を示すブロック図である。

【図5】 本発明に係るビット反復機能を有するデータ処理装置のビット反復回路の制御回路の構成例を示すブロック図である。

【図6】 本発明に係るビット反復機能を有するデータ処理装置のビット反復回路の制御レジスタ(VTBCR)の内容を示す模式図である。

【図7】 本発明に係るビット反復機能を有するデータ処理装置のビット反復回路内で制御回路により自律的に実行される処理を示すタイミングチャートである。

【図8】 本発明に係るビット反復機能を有するデータ処理装置のトレースバック回路内で制御回路により自律的に実行される処理を示すタイミングチャートである。

【図9】 本発明に係るビット反復機能を有するデータ処理装置の他の実施の形態の例を示すビット反復回路の内部構成を示すブロック図である。

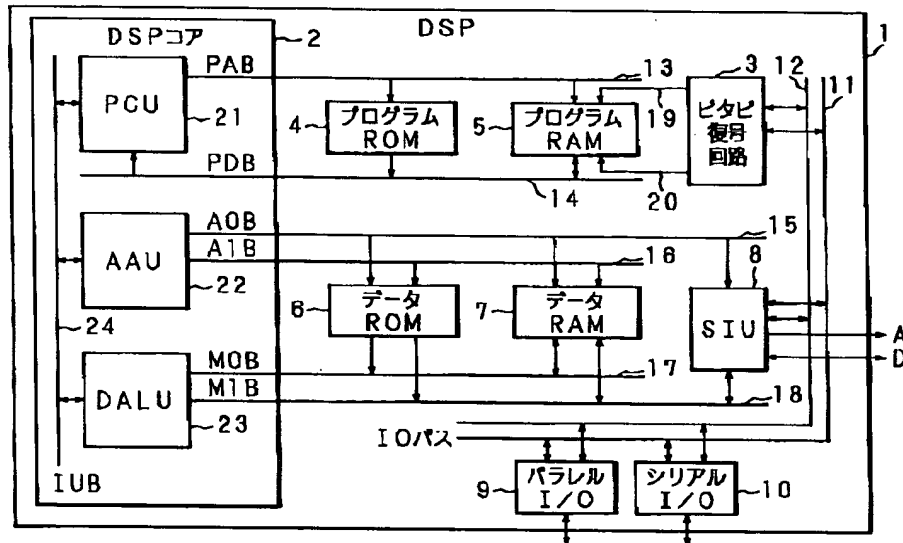
〔符号の説明〕

2 DSPコア、3 ビット反復回路、5 プログラムRA

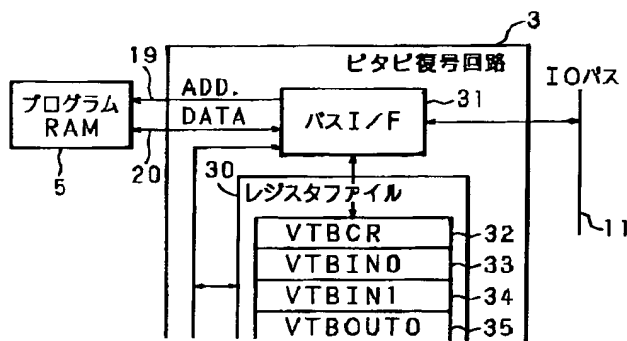
M、8 SIU(システムインタフェースユニット)、32
制御レジスタ、41 ブランチメトリック計算回路、42

ACS回路、43 トレースバック回路、44 CRC生成回
路、45 歪み込み符号生成回路、50 制御回路。

【図1】



【図2】



【図3】

